

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Yoshiki OKUMURA

Application No.:

Group Art Unit:

Filed: February 9, 2004

Examiner:

For: STATE INDICATING INFORMATION SETTING CIRCUIT AND STATUS BIT SETTING
CIRCUIT

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s)
herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2003-083473

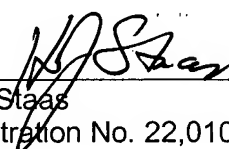
Filed: March 25, 2003

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing
date(s) as evidenced by the certified papers attached hereto, in accordance with the
requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: February 9, 2004

By: 
H. J. Staas
Registration No. 22,010

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 5 日
Date of Application:

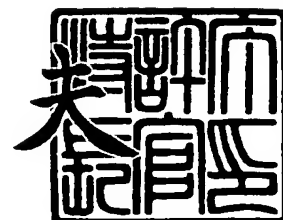
出 願 番 号 特 願 2 0 0 3 - 0 8 3 4 7 3
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 8 3 4 7 3]

出 願 人 富 士 通 株 式 会 社
Applicant(s):

2 0 0 3 年 1 1 月 2 5 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 0 9 7 1 5 9

【書類名】 特許願

【整理番号】 0253869

【提出日】 平成15年 3月25日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H03K 19/0175
G11C 7/00

【発明の名称】 状態表示情報設定回路

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 株式会社富士通コンピュータテクノロジー内

【氏名】 奥村 嘉樹

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿 4 丁目 2 0 番 3 号 恵比寿ガーデンプレイスタワー 3 2 階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0114942

【プルーフの要否】 要

【書類名】 明細書
【発明の名称】 状態表示情報設定回路
【特許請求の範囲】

【請求項 1】

所定の第 1 の状態と第 2 の状態とのうちのいずれかを示す信号が入力され当該入力信号が示す状態を保持して出力する第 1 の状態保持手段と、

前記第 1 の状態保持手段の出力が入力され当該入力信号が示す状態を保持して出力する第 2 の状態保持手段と、

所定の状態検出信号と前記第 2 の状態保持手段の出力とが入力され、当該入力信号の夫々が示す状態が互いに異なる際に前記所定の第 1 の状態を示す信号を前記第 1 の状態保持手段に対して出力し、互いに同じ場合には前記所定の第 2 の状態を示す信号を出力する第 1 の状態比較手段と、

前記第 1 の状態保持手段の出力と前記第 2 の状態保持手段の出力とを比較し、当該入力信号の夫々が示す状態が互いに同じ際に前記所定の第 1 の状態を示す信号を状態検出信号クリア信号として出力する第 2 の状態比較手段と、

前記第 1 の状態保持手段の出力と前記第 2 の状態保持手段の出力とを比較し、当該入力信号の夫々が示す状態が互いに異なる際に前記所定の第 1 の状態を示す信号を状態検出信号として出力し、同一の場合には前記第 2 の状態を示す状態非検出信号を出力する第 3 の状態比較手段とよりなる状態表示情報設定回路。

【請求項 2】

所定の第 1 の状態と第 2 の状態とのうちのいずれかを示す信号が入力され当該入力信号が示す状態を保持して出力する第 1 の状態保持手段と、

前記第 1 の状態保持手段の出力が入力され当該入力信号が示す状態を保持して出力する第 2 の状態保持手段と、

前記第 2 の状態保持手段の出力が入力され当該入力信号が示す状態を保持して出力する第 3 の状態保持手段と、

所定の状態検出信号と前記第 2 の状態保持手段の出力とが入力され、当該入力信号の夫々が示す状態が互いに異なる際に前記所定の第 1 の状態示す信号を前記第 1 の状態保持手段に対して出力し、互いに同じ場合には前記所定の第 2 の状態

を示す信号を出力する第1の状態比較手段と、

前記第1の状態保持手段の出力と前記第2の状態保持手段の出力とを比較し、当該入力信号の夫々が示す状態が互いに同じ際に前記所定の第1の状態を示す信号を状態検出信号クリア信号として出力する第2の状態比較手段と、

前記第1の状態保持手段の出力と前記第3の状態保持手段の出力とを比較し、当該入力信号の夫々が示す状態が互いに異なる際に前記所定の第1の状態を示す信号を状態検出信号として出力し、同一の場合には前記第2の状態を示す状態非検出信号を出力する第3の状態比較手段とよりなる状態表示情報設定回路。

【請求項3】

入力された信号の状態を保持して当該保持した状態を示す信号を出力する第1の状態保持手段と、

第1の状態保持手段の出力信号が示す状態を保持して当該保持した状態を示す信号を出力する第2の状態保持手段と、

所定の状態検出信号が入力された際に第2の状態保持手段が出力する信号が示す状態と異なる状態を示す信号を前記第1の状態保持手段へ出力する状態反転手段と、

第1の状態保持手段が出力する信号の示す状態と第2の状態保持手段が出力する信号の示す状態とを比較し、双方が互い異なる際に状態検出信号を出力し、同一の場合状態非検出信号を出力する状態検出信号出力手段と、

第1の状態保持手段が出力する信号の示す状態と第2の状態保持手段が出力する信号の示す状態とを比較し、双方が互い異なる際に状態検出信号クリア信号を出力する状態検出信号クリア手段とよりなる状態表示情報設定回路。

【請求項4】

入力された信号の状態を保持して当該保持した状態を示す信号を出力する第1の状態保持手段と、

第1の状態保持手段の出力信号が示す状態を保持して当該保持した状態を示す信号を出力する第2の状態保持手段と、

第2の状態保持手段の出力信号が示す状態を保持して当該保持した状態を示す信号を出力する第3の状態保持手段と、

所定の状態検出信号が入力された際に第2の状態保持手段が出力する信号が示す状態と異なる状態を示す信号を前記第1の状態保持手段へ出力する状態反転手段と、

第1の状態保持手段が出力する信号の示す状態と第3の状態保持手段が出力する信号の示す状態とを比較し、双方が互い異なる際に状態検出信号を出力し、同一の場合状態非検出信号を出力する状態検出信号出力手段と、

第1の状態保持手段が出力する信号の示す状態と第2の状態保持手段が出力する信号の示す状態とを比較し、双方が互い異なる際に状態検出信号クリア信号を出力する状態検出信号クリア手段とよりなる状態表示情報設定回路。

【請求項5】

レジスタ読出信号がLレベルの際に入力信号を取り込む第1のフリップフロップ回路と、

レジスタ読出信号がHレベルの際に第1のフリップフロップ回路の出力信号を取り込む第2のフリップフロップ回路と、

レジスタ読出信号がLレベルの際に第2のフリップフロップ回路の出力信号を取り込む第3のフリップフロップ回路と、

第2のフリップフロップ回路の出力と所定の状態検出信号との排他論理和演算を行なって演算結果を出力する第1の排他論理和回路と、

第1のフリップフロップ回路の出力と第2のフリップフロップ回路の出力との排他論理和演算を行なって演算結果を状態検出信号クリア信号として出力する第2の排他論理和回路と、

第1のフリップフロップ回路の出力と第3のフリップフロップ回路の出力との排他論理和演算を行なって演算結果を状態ビット信号として出力する第3の排他論理和回路とよりなる状態表示情報設定回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は状態表示情報設定回路に係り、特に所定の状態検出部にて所定の状態が検出された際にそれに応じて所定の状態表示情報設定後に当該状態検出部の検

出状態をリセットする構成を有する状態表示情報設定回路に関する。

【0002】

【従来の技術】

所謂UART（非同期受信機／送信機）等の周辺回路に設けられたCPUが読み出し可能なレジスタとして所謂リードレジスタ回路と称されるものがある。この具体的な例としては例えば周知の16450／16550型UARTのI／Oポートを提供するMSR（モデム・ステータス・レジスタ）のDCTS（デルタ・クリア・ツー・センド）ビットを供給する回路等が挙げられる。

【0003】

このようなリードレジスタ回路は、関連回路上で発生した所定の監視対象としてのステータスの発生がステータス検出部にて検出された際、この状態を取り込んで状態表示情報としての所謂DCTSビットを立て、その外部のCPUからの読み出しを可能にするものである。

【0004】

又、このリードレジスタ回路に関連し、CPUによって当該DCTSビットが一旦読み出された後に同じDCTSビットが再びCPUによって読み出された場合CPUによる誤認識となり、当該CPUを中心としたシステムにダメージを与える恐れがある。このような事態の発生を防止するため、上記リードレジスタ回路において一旦DCTSビットが立てられた際には再度同じステータス情報が当該リードレジスタ回路に取り込まれないように大元の上記ステータス検出部をクリアする必要がある。

【0005】

ところがこのステータス検出部のクリアのタイミングによっては本来リードレジスタ回路にて取り込まれるべきステータスが取り込まれる前にステータス検出部がクリアされる等の要因によって正しくリードレジスタ回路に取り込まれない可能性がある。そのような場合、結果的にDCTSビットも立てられないという事態が発生し得る。特に近年コンピュータの高速動作が要求されており、その結果上記問題点がより深刻化する傾向にある。

【0006】

ここで例えば上記DC TSビットの一例としての前記MS RのDC TSビットがその機能上満たすべき条件は以下の通りである。

【0007】

1) ステータス、即ちこの例の場合C TS (クリア・ツー・センド) ラインの変化を検出して“1”になる。

【0008】

2) 所定のレジスタ読出信号、即ちこの例ではMS R読出信号にてステータスを取り込み後に“0”になる。

【0009】

3) レジスタ読出信号によるステータスの読み出し中にステータス信号が変化した場合、そのレジスタ読出信号では本ビット=1を読み出せなくても、次のレジスタ読出信号時には本ビット=1を読み出せる。

【0010】

上記リードレジスタ回路のステータス検出状態をクリアする方式について開示している文献として例えば特許文献1がある。ここで開示されている方式の概念を適用して、例えばLS R (ラインステータスレジスタ)、上記MS R (モデムステータスレジスタ) 等にて提供するインタフェース・ビットの如く、該当するレジスタの読出信号にてステータス読み出し後には当該ステータス検出状態をクリアする構成について考察する。この場合、上記同様当該ビットは以下の仕様を満たすものとする。

【0011】

1) 入力信号C TSの変化(L→H, H→L) で本ビットは1になる(即ち「本ビットはセットされる」)。

【0012】

2) MS R読出信号の供給時、本ビットが外部、即ちCPU等によって読み出され得る。

【0013】

3) MS R読出信号供給時、本ビットについて外部から1が読み出せれば、読み出し後に本ビットは0とされる(即ち「本ビットはクリアされる」)。

【0014】

4) MSR 読出信号供給中に、入力信号 CTS が変化した時、その読み出しでは本ビット = 1 を読み出され得なくとも次の読み出しでは本ビット = 1 が読み出され得る。

【0015】

図 1 は上記特許文献 1 に示された概念を適用して構成した MSR の DCTS ビット設定回路を示し、図 2 は図 1 の回路の動作タイムチャートを示す。両図中の ff1、ff2 は各々 D-FF (D-フリップフロップを示す。同回路による動作は以下の通りである。

【0016】

図 2 にて (1) ~ (9) と記した部分は、入力信号 CTS が変化した後 MSR 読出信号にて DCTS ビット = 1 が読み出され、再度 MSR 読出信号にて DCTS ビット = 0 が読み出される動作を示している。又同図の (10) ~ (17) と記した部分は、MSR 読出信号供給中に入力信号 CTS が変化した時、その MSR 読出信号にて DCTS ビット = 0 が読み出され、次の MSR 読出信号にて DCTS ビット = 1 が読み出される動作を示している。以下にこれらの動作を具体的に段階を追って説明する。

【0017】

即ち、(1) にて入力信号 CTS が変化し、(2) にてワンショットパルス生成回路 10 が入力信号 CTS の変化を検出してワンショットパルスを発生する。

(3) にて CTS 変化検出結果としてのワンショットパルスが ff1 の S 入力端子に入力され、その結果 ff1 = H となる。(4) にて、MSR 読出信号 = L となり、(5) にてこれに応じて ff2 は ff1 = H を取り込む。その結果 MSR 読出信号 = L の間バスドライバ BS が開いて DCTS ビット = 1 (= ff2) が CPU によって読み出され得る (図 2 (f) 参照)。

【0018】

(6) にて MSR 読出信号の L レベルへの変化によって ff1 = L となる。(7) にて MSR 読出信号 = H となり、次に (8) にて MSR 読出信号 = L となると (9) にて MSR 読出信号の L レベルへの変化で ff2 は ff1 = L を取り込

む。その結果、MSR 読出信号=Lの間バスドライバBSが開いてDC TSビット=0 (=ff 2)が読み出され得る(図2 (f) 参照)。(10)にてMSR 読出信号=Lとなると、これに応じて(11)にてff 2はff 1=Lを取り込む。その結果、ここでもMSR 読出信号=Lの間、DC TSビット=0 (=ff 2)が読み出され得る(図2 (f) 参照)。

【0019】

次に(12)にて入力信号CTSが変化すると、(13)にてワンショットパルス生成回路10がこれを検出してワンショットパルスを発生する。(14)にてこれがff 1のS端子に入力されて、ff 1=Hとなる。そして(15)にてMSR 読出信号=Hとなり、(16)にてMSR 読出信号=Lになる。これに応じて(17)にてff 2はff 1=Hを取り込む。その結果、MSR 読出信号=Lの間、DC TSビット=1 (=ff 2)が読み出され得る。更に(18)にてMSR 読出信号のLレベルへの変化で、ff 1=Lとなる。

【0020】

図3は特許文献2に開示された概念を適用して構成した他の例のMSRのDC TSビット設定回路の回路構成を示す。図4は図3の回路の動作タイムチャートを示す。両図中のff 1, ff 2は各々SRラッチ回路素子を示し、ff 3はDラッチ回路素子を示す。同回路の動作は以下の通りである。

【0021】

図4中のステップ(1)～(15)は、入力信号であるCTSラインレベルが変化した後MSR 読出信号にてDC TSビット=1が読み出され、次回のMSR 読出信号にてDC TSビット=0が読み出される動作である。又、図4中、ステップ(16)～(26)は、MSR 読み出し信号供給中に入力信号CTSレベルが変化した際にそのMSR 読み出し信号供給時についてはDC TSビット=0が読み出され、次回のMSR 読み出し信号時にはDC TSビット=1が読み出される動作である。以下、各ステップを追って具体的に説明する。

【0022】

ステップ(1)で入力信号CTSが変化するとステップ(2)にてワンショットパルス生成回路10が入力信号CTSの変化を検出してCTS変化検出結果=

Hパルスを出力する。ステップ(3)にて当該信号がff2のS端子に入力されてff2=Hとなる。ステップ(4)にてMSR読出信号のNOT回路素子20による反転信号=Lがff3のG端子に入力されff3が開き、ff3=ff2=Hとなる。

【0023】

ステップ(5)にてMSR読出信号=Lとなり、その結果ステップ(6)にてこのNOT素子20による反転信号=Hがff3のG端子に入力されff3が閉じ、その結果ff3はff2=Hを保持する。その結果、今回のMSR読出信号=LによってバスタイバBDが開かれる間、DCTSビット=1、即ちff3の出力が読み出される(図4(h)参照)。

【0024】

ステップ(7)にてMSR読出信号=Hがff1のS端子に入力され、ff3の反転信号=Lがff1のR端子に入力され、ff1=Hとなる。その後ステップ(8)にてMSR読出信号=Hとなり、ステップ(9)にてそのMSR読出信号の反転信号=Lと、ff1の反転信号=LとがOR回路素子30に入力され、その結果OR素子30の出力であるDCTSビットクリア信号=Hとなる。

【0025】

ステップ(10)にて上記DCTSビットクリア信号がff2のR端子に入力されて、ff2=Lとなる。ステップ(11)にてMSR読出信号の反転信号=Lがff3のG端子に入力されてff3が開き、その結果ff3=ff2=Lとなる。ステップ(12)ではこのff3の反転出力信号=Hがff1のR端子に入力されて、ff1=Lとなる。そしてステップ(13)にてMSR読出信号の反転信号=Lとff1の反転信号=HとがOR素子30に入力され、その出力であるDCTSビットクリア信号=Lとなる。

【0026】

そしてステップ(14)にてMSR読出信号=Lとなるとステップ(15)にてこのMSR読出信号のNOT素子20による反転信号=Hがff3のG端子に入力されてff3が閉じ、ff3はff2=Lを保持する。その結果、今回のMSR読出信号=LでBDが開かれる間、DCTSビット=0(=ff3)が読み

出される（図4（h）参照）。

【0027】

そしてステップ（16）にてMSR読出信号=Lとなるとステップ（17）にてMSR読出信号の反転信号=Hがff3のG端子に入力されてff3が閉じ、ff3はff2=Lを保持する。その結果、今回のMSR読出信号=Lの間BDが開いて、DCTSビット=0（=ff3）が読み出され得る（図4（h）参照）。

【0028】

そしてステップ（18）にて入力信号CTSレベルが変化すると、ステップ（19）にてワンショットパルス生成回路10がこの入力信号CTSの変化を検出してCTS変化検出結果としてHのパルスを発生する。ステップ（20）にてこのCTS変化検出結果のHパルスがff2のS端子に入力されて、ff2=Hとなる。そしてステップ（21）にてMSR読出信号=Hとなり、ステップ（22）にてこのNOT素子20による反転信号=Lがff3のG端子に入力されてff3が開き、その結果ff3はff2=Hと取り込む。

【0029】

そしてステップ（23）にて、MSR読出信号=Lとなり、その反転信号=Hがff3のG端子に入力されてff3が閉じ、ff3は前記のff2=Hを保持する。その結果今回のMSR読出信号=LによるBD開の間、DCTSビット=1（=ff3）が読み出され得る。

【0030】

そしてステップ（25）にて、上記MSR読出信号の反転信号=Hがff1のS端子に入力されると共にff3の反転出力信号=Lがff1のR端子に入力されるためff1=Hとなる。そしてステップ（26）にてMSR読出信号=Hとなるとステップ（27）にてこの反転信号=Lとff1の反転出力信号=LによってOR素子30の反転出力であるDCTSビットクリア信号=Hとなる。

【0031】

ステップ（28）にてそのDCTSビットクリア信号がff2のR端子に入力されて、ff2=Lとなり、ステップ（29）にてMSR読出信号の反転信号=

L が f f 3 の G 端子に入力されて f f 3 が開き、f f 3 は f f 2 = L を取り込む。そしてステップ (3 0) にて f f 3 の反転出力信号 = H が f f 1 の R 端子に入力されて、f f 1 = L となる。そしてステップ (3 1) にて M S R 読出信号の反転信号 = L と f f 1 の反転出力信号 = H によって O R 素子反転出力である D C T S ビットクリア信号 = L となる。

【0 0 3 2】

このように図 1, 2 の例、図 3, 4 の例共、C T S ラインレベルの変化 (立ち上がりエッジ) に応じ、その直後の M S R 読出信号の L レベルに応じて D C T S ビット “1” が読み出され、その直後の M S R 読出信号の L レベルに応じて D C T S ビットは “0” に戻される。同様に C T S ラインレベルの変化 (立ち下がりエッジ) に応じてその直後の M S R 読出信号の L レベルに応じて D C T S ビット “1” が読み出され、やはりその直後の M S R 読出信号の L レベルに応じて D C T S ビットは “0” に戻される。従って上記 D C T S ビットの要求仕様が満たされる。

【0 0 3 3】

【特許文献 1】

特開平 1 0 - 4 1 8 0 4 号公報

【0 0 3 4】

【特許文献 2】

特開平 2 - 4 4 4 2 8 号公報

【0 0 3 5】

【特許文献 3】

特開平 1 0 - 2 4 0 4 9 7 号公報

【0 0 3 6】

【特許文献 4】

特開平 7 - 5 6 7 5 6 号公報

【0 0 3 7】

【発明が解決しようとする課題】

これらの構成は、F F (フリップフロップ) 素子もしくはラッチ素子の非同期

セット入力端子にステータス検出信号を入力する構成を有する、所謂レベル検出型のリードクリア式DCTSビット回路である。そのためステータス検出信号のアクティブ時間がレジスタの読出信号のアクティブ時間より長い場合、1回の検出信号に対して2回以上同一ステータスが読み出されてしまう可能性がある。このような現象が発生するとそれを読み出したCPUが誤認動作を起こし、その結果当該CPUを中心としたシステム全体にダメージを与える可能性がある。尚、上記ステータス検出信号のアクティブ時間がレジスタの読出信号のアクティブ時間より長い場合は、システムの動作速度、即ちクロック速度が速まることによってレジスタ読出信号の周期が縮まる際には十分生じ得る。以下にこの問題点の発生状況について具体的に説明する。

【0038】

図5は図1と共に説明したDCTSビット設定回路においてワンショットパルス生成回路10が、MSR読出信号のLレベルの間隔より長いパルスを出力するよう設計されている場合に関する動作タイムチャートを示す。この場合の具体的な動作は以下の通りである。

【0039】

先ずステップ(1)にて入力信号CTSが変化するとステップ(2)にてワンショットパルス生成回路10がこの入力信号CTSの変化を検出してCTS変化検出結果としてのHパルスを発生する。ステップ(3)にて、このCTS変化検出結果としてのHパルスがff1のS端子に入力されて、ff1=Hとなる。そしてステップ(4)にてMSR読出信号=Lとなるとステップ(5)にてこのMSR読出信号のLレベルへの変化によりff2はff1=Hを取り込む。その結果、今回のMSR読出信号=Lの間DCTSビット=1(=ff2)が読み出され得る(図5(f)参照)。

【0040】

そして次にステップ(6)にてMSR読出信号のLレベルへの変化により図2の場合ff1=Lになったが今の場合はCTS変化検出結果としてのHパルスがff1のS端子に入力されたままのためff1=Hのまま保持される。この動作結果はMSR読み出し後のDCTSビットのクリアに失敗したことを意味する。

そして次のステップ（７）にてMS R読出信号＝Hとなり、更にステップ（８）にて再びMS R読出信号＝Lとなると、ステップ（９）にてこのMS R読出信号のLレベルへの変化によりff 2は直前のff 1＝Hを保持する。その結果今回のMS R読出信号＝Lの間再びDC TSビット＝1（＝ff 2）が読み出されてしまう。

【0041】

図6は、図3に示すDC TSビット設定回路においてワンショットパルス生成回路10がMS R読出信号のL持続間隔より長い間隔のパルスを出力するよう設計されている場合についての動作タイムチャートを示す。この場合の同回路の動作は以下の通りである。

【0042】

即ち、ステップ（１）にて入力信号CTSが変化するとステップ（２）にてワンショットパルス生成回路10がこの入力信号CTSの変化を検出してCTS変化検出結果としてのHパルスを発生する。ステップ（３）では、このCTS変化検出結果としてのHパルスがff 2のS端子に入力されて、ff 2＝Hとなり、ステップ（４）にてMS R読出信号のNOT素子20による反転信号＝Lがff 3のG端子に入力されてff 3が開き、ff 3はff 2＝Hを取り込む。

【0043】

そしてステップ（５）にてMS R読出信号＝Lとなるとステップ（６）にてこのMS R読出信号のNOT素子20による反転信号＝Hがff 3のG端子に入力されてff 3が閉じ、ff 3は上記ff 2＝Hを保持する。その結果今回のMS R読出信号＝Lの間、DC TSビット＝1（＝ff 3）が読み出される。

【0044】

そしてステップ（７）にてMS R読出信号の反転信号＝Hがff 1のS端子に入力されff 3の反転出力信号＝Lがff 1のR端子に入力されることによりff 1＝Hとなる。そしてステップ（８）にてMS R読出信号＝Hとなると、ステップ（９）にてこのMS R読出信号の反転信号＝Lとff 1の反転出力信号＝LによりOR素子30の反転出力信号であるDC TSビットクリア信号＝Hとなる。

。

【0045】

そしてステップ(10)にてこのDCTSビットクリア信号がff2のR端子に入力されて、ff2=Lとなり、ステップ(11)にて上記MSR読出信号の反転信号=Lがff3のG端子に入力されてff3が開くためにff3は上記ff2=Lを取り込む。そしてステップ(12)ではこのff3の反転出力信号=Hがff1のR端子に入力されて、ff1=Lとなる。その結果ステップ(13)にて上記MSR読出信号の反転信号=Lとff1の反転出力信号=HによりOR素子30の反転出力であるDCTSビットクリア信号=Lとなる。

【0046】

そしてこの場合ステップ(14)にてCTS変化検出結果としてのHパルスが未だff2のS端子に入力されたままのため、ff2=Hが保持されたままとなる。即ち、この事実はMSR読み出し後のDCTSビットのクリアに失敗したことを意味する。

【0047】

そしてステップ(15)にて上記MSR読出信号の反転信号=Lがff3のG端子に入力されてff3が開き、ff3は再び上記ff2=Hを取り込む。その結果、次にステップ(16)にてMSR読出信号=Lとなると、このMSR読出信号の反転信号=Hがff3のG端子に入力されてff3が閉じ、ff3はff2=Hを保持するため、今回のMSR読出信号=Lの間、DCTSビット=1(=ff3)が再び読み出されてしまう。

【0048】

本発明は上記課題に鑑みてなされたものであり、LSI等の半導体回路の動作速度が向上して回路動作の速度に比して検出信号のアクティブ時間間隔の短縮調整が困難な場合であっても確実にステータス検出状態をリセットして再度ステータスビットが読み出されることが無く且つステータスの読み出しが確実にこなわれ得る状態表示情報設定回路を提供することを目的とする。

【0049】**【課題を解決するための手段】**

本発明によれば所定の第1の状態と第2の状態とのうちのいずれかを示す信号

が入力され当該入力信号が示す状態を出力する第 1 の状態保持手段と、前記第 1 の信号保持手段の出力が入力され当該入力信号が示す状態を出力する第 2 の状態保持手段と、所定の状態検出信号と前記第 2 の状態保持手段の出力とが入力され、当該入力信号の夫々が示す状態が互いに異なる際に前記所定の第 1 の状態を示す信号を前記第 1 の状態保持手段に対して出力し、互いに同じ場合には前記所定の第 2 の状態を出力する第 1 の状態比較手段と、前記第 1 の状態保持手段の出力と前記第 2 の状態保持手段の出力とを比較し、当該入力信号の夫々が示す状態が互いに同じ際に前記所定の第 1 の状態を示す信号を状態検出信号クリア信号として出力する第 2 の状態比較手段と、前記第 1 の状態保持手段の出力と前記第 2 の状態保持手段の出力とを比較し、当該入力信号の夫々が示す状態が互いに異なる際に前記所定の第 1 の状態を示す信号を状態検出信号として出力し、同一の場合には前記第 2 の状態を示す状態非検出信号を出力する第 3 の状態比較手段とよりなる構成とした。

【0050】

この構成によって第 1 の比較手段はステータス検出の度毎に第 2 の状態保持手段の出力状態と逆の状態を出力し、これを第 1 の状態保持手段が取り込んで自己の状態を反転し、これを受けた第 2 の状態保持手段が更に自己の状態を反転する。そしてその間、即ち第 1 の状態保持手段が反転後第 2 の状態保持手段の反転前の双方の状態の食い違いを第 2 の比較手段が検出してステータスリセット信号を生成する。又同様に第 1 の状態保持手段が反転後第 2 の状態保持手段の反転前の双方の状態の食い違いを第 3 の比較手段が検出して外部読み出し可能なステータスビットを設定する。

【0051】

このように本発明によればステータスの検出によって第 1、第 2 の状態保持手段の状態を順次反転させてその間の第 1 の状態保持手段が反転後第 2 の状態保持手段の反転前の状態をもってステータス検出状態の設定を行なうと共にステータス検出状態のリセットを実現している。このように状態保持手段の反転動作をステータス検出状態の設定、リセットに適用することにより、L→Hの反転、H→Lの反転の双方を適用可能である。その結果ステータス検出入力に対して即座に

反応してステータス検出認識状態に移行可能である。その結果CPUによる安定的読み出し可能期間を比較的長くすることが可能であり、同時にステータス検出状態を確認して早いタイミングでステータス検出状態リセットを掛けられる。従って再度同じステータスが読み取られるような状況を効果的に防止可能である。

【0052】

尚、更に第3の状態保持手段を適用して更に状態反転の遅延を生成し、第1の状態保持手段との間で状態の相違を検出してステータス検出状態の設定を行なうようにすることによってステータス検出状態の更なる安定的供給が可能となり、もってCPUによるステータスビットの読み出しがより確実になされ得る構成を提供可能である。

【0053】

【発明の実施の形態】

以下図面と共に本発明の実施例について説明を行う。

【0054】

最初に本発明の思想に至る経緯について説明する。上述の問題点、即ち半導体回路の動作速度の向上に対してステータス検出信号のアクティブ時間間隔の短縮調整が困難な場合にステータス検出信号のアクティブ時間間隔の間に同じステータスが再度CPUによって読み出される問題の解決策について検討する。

【0055】

このような問題点を解決するために例えば以下の2種の方法が考えられる。即ち、検出信号のアクティブ時間をレジスタの読出信号のアクティブ時間より短くする方法、並びに検出信号のレベル検出(FF素子若しくはラッチ素子の非同期セット入力端子で受ける方法)を行わず、代わりにFF素子のクロック入力端子にて検出信号を印加してそのエッジを検出する方法である。

【0056】

このうち最初の方法を適用しようとする、図1、図3の回路例においてはワンショットパルス生成回路10が出力するパルス幅を短くする必要がある。図7、図8はこのための構成例を説明するための図を示す。図7は図1、図3の回路においてワンショットパルス生成回路10が別途クロック信号を利用しない前提

で設計されている場合を示し、図 8 は図 1、図 3 におけるワンショットパルス生成回路 10 が別途クロック信号を利用する前提で設計されている場合を示す。図 7 の構成を適用する場合同図中のディレイ素子による遅延時間を短くすることが必要となるが、これを高精度に実現することは技術的に困難である。又、図 8 の構成を適用する場合、同図中のサンプリングクロック信号の周波数を高くすることが必要となるが、そのためには別途高速のクロック信号を供給する必要がある、回路が複雑化する。

【0057】

次に、後者の方法、即ち検出信号のレベルを検出してステータスビットの設定を行なう論理に基づいた方法、具体的には上述の例では FF 素子若しくはラッチ素子の非同期セット入力端子にて検出信号を受けてステータスビットを設定する方法を適用せず、例えば FF 素子のクロック入力端子に検出信号を供給する回路構成の適用等によって検出信号の立ち上がりエッジを検出してステータスビットの設定等を行なう論理に基づいた方法の場合について検討する。

【0058】

このエッジ検出の論理による方法の適用を考えた場合、上述の図 1 の回路構成例ではステータスビット設定状態をフィードバックした「ビットクリア信号」による「ビットクリア動作」を適用していないため、同方法の適用が困難である。他方図 3 の回路構成例の場合には ff 2 について SR ラッチ素子を D-FF 素子に変更することで同方法を適用可能である。その場合の構成例を図 9 に示す。

【0059】

図 9 の回路構成例の場合 OR 素子 30 の反転出力よりなるビットクリア信号を ff 3 のリセット端子に供給することにより、ff 3 の「ステータス検出状態」が「ビットクリア信号」としてフィードバックされ、これによって ff 2 がリセットされる。その結果たとえワンショットパルス生成回路 10 から出力されるパルスが H の状態であっても ff 2 はリセットされる。従ってひとつのステータスが 2 度読み出されるという問題点は解決される。この回路例の場合、その後 CTS レベルが L となった後に再度 H となった際には ff 2 の D 入力端子に H が取り込まれてセットされるため、上記 ff 2 リセット後の次のステータス検出も問題

無く実行される。

【0060】

しかしながら上記2種の方法の適用の場合、ASIC設計ルールやASIC毎の調整作業の回避による制限等の観点からの問題点が考えられる。即ち、殆どのASICメーカーは製品テストの容易性に基づく設計思想により、所謂ゲートディレイによってパルスを生成する如くの極めてアナログ的な回路設計手法は適用しない傾向にある。

【0061】

即ち、例えば図7に示す回路構成例の場合ゲートディレイでパルスを発生するためこれをASICに適用する場合には問題となる。又図3、図9の構成例における「DCTSビットクリア信号」は、そのアクティブ時間、即ちHレベルの時間間隔がゲートディレイによって構成されるため、上記同様の理由によってASICへの適用については問題を有する。又、ASICについてこのような回路設計が適用された場合、ASICの個々の種類毎に上記アクティブ時間の細かな調整が必要となり、製造工程が複雑化して製品単価の上昇に繋がってしまう。

【0062】

又、現在、VHDLやVerilogHDL等のハードウェア設計記述言語による回路設計が主流となっている。このような言語による設計手法を適用した場合、言語形式の設計情報から実際の回路形式に変換した際にその回路がどの程度のディレイを有するかについて予め考慮しながら設計することはなされ得る。しかしながら最初から意図的に回路設計にディレイそのものを適用する手法は通常採らない。従ってその意味からも図3、図9に示す如くの所謂ゲートディレイの適用を前提とした回路設計は好ましくない。

【0063】

そこで、高精度の調整が困難なディレイの適用や高速のクロック信号の適用を避け、更に又所謂ゲートディレイを想定した回路設計手法を適用することもなく、比較的簡易な構成で確実にMSRのDCTSビット等の所定の仕様を満たす状態表示情報設定回路を提供する回路構成の実現について更に検討を行なった結果、本発明の構成を得るに至った。

【0064】

図10は、本発明の一実施例によるリードクリア式ステータスビット回路100の構成を示す。同図に示す如く、本実施例によるリードクリア式ステータスビット回路100は、外部のステータス検出部200からのステータス検出信号S_dを受ける排他的論理和回路11と、当該排他的論理和回路11の出力を受けるDフリップフロップ回路素子21と、このDフリップフロップ回路素子21の出力を受けるDフリップフロップ回路素子22と、更にこのDフリップフロップ回路素子22の出力を受けるフリップフロップ回路素子23と、Dフリップフロップ回路素子21の出力とDフリップフロップ回路素子22の出力とを受ける排他的論理和回路素子12と、Dフリップフロップ回路素子21の出力とDフリップフロップ回路素子23の出力とを受ける排他的論理和回路素子13と、排他的論理和回路素子13の出力を受けてステータスビット信号S_bを出力するバスドライバ素子31とよりなる。

【0065】

そして上記排他的論理和回路素子11は外部からのステータス検出信号S_dとDフリップフロップ回路素子22の出力とを受けて両者の排他的論理和演算結果を出力する。Dフリップフロップ回路素子21はこの出力をD端子で受け、外部から供給されるレジスタ読出信号S_rの立ち下がりエッジにてこれを取り込み、その信号を出力する。Dフリップフロップ回路素子22は更にこの出力をそのD端子で受け、上記レジスタ読出信号S_rの立ち上がりエッジにてこれを取り込み、その信号を出力する。更にDフリップフロップ回路素子23はこの出力をそのD端子で受け、上記レジスタ読出信号S_rの立ち下がりエッジにてこれを取り込み、その信号を出力する。

【0066】

又、排他的論理和回路素子12は二つのDフリップフロップ回路素子21、22の夫々の出力を受けて両者の排他的論理演算結果を更に反転した信号をステータス検出部クリア信号S_cとして外部のステータス検出部200に供給する。これを受けたステータス検出部200ではステータス検出部クリア信号S_cのLレベルを受けて自己のステータス検出状態を解除して一旦発生したステータス

検出信号 S_d を解除する。即ち、H レベルを L レベルに戻す。

【0067】

又、排他的論理和回路素子 13 は二つの D-フリップフロップ回路素子 21, 23 の夫々の出力を受けて両者の排他的論理輪演算結果のレベルを有する信号をバスドライバ 31 に出力する。バスドライバ 31 はこれを受けて上記レジスタ読出信号 S_r が L レベルの間これをステータスビット信号 S_b として出力する。尚、このバスドライバ 31 はレジスタ読出信号 S_r が H レベルの間はその出力端子がハイインピーダンス状態とされ、その信号レベルは「不定」状態となる。このバスドライバ 31 の出力端子が外部の CPU 等にてステータスビットとして読み出される。

【0068】

図 11、図 12 は当該回路による動作を示すタイミングチャートである。図 11 は、レジスタ読出信号 S_r が L レベルの間以外に所定のステータスが発生した場合の動作を表している。他方図 12 はレジスタ読出信号 S_r が L レベルの間に所定のステータスが発生した場合の動作を表している。

【0069】

夫々の動作を以下に詳細に説明する。図 11 中、初期の状態では各 D-フリップフロップ回路素子 21, 22, 23 は各々 L レベル出力を有する。そしてステップ (1) (図 11 中、左側、以下同様) にてステータス検出部 200 が所定のステータスを検出し、その結果ステータス検出信号 S_d = H となる。その結果、排他的論理和回路素子 11 は、ステータス検出信号の H レベルと D-フリップフロップ回路素子 22 の L レベル出力とを受けて H レベル出力を行なう。そして、ステップ (2) にてレジスタ読出信号 S_r = L となると、ステップ (3) にて、このレジスタ読出信号の L レベルへの変化で D-フリップフロップ回路素子 21 は上記排他的論理和回路素子 11 の H 出力を取り込む。

【0070】

ステップ (4) にて、上記レジスタ読出信号 L レベルへの変化により、D-フリップフロップ回路素子 23 は上記 D-フリップフロップ回路素子 22 の L 出力を取り込む。その結果 D-フリップフロップ回路素子 23 は L 出力を行う。従っ

て排他的論理和回路素子 13 は 2 つの D-フリップフロップ回路素子 21, 23 の出力である H レベルと L レベルによって H レベルを出力する。この H レベルがレジスタ読出信号 S_r の L レベルの間にバストライバ 31 を介して出力され、外部の CPU 等によって “1” のステータスビットとして読み出される (図 11 (g) 参照)。尚、当該リードクリア式ステータスビット回路 100 を上記 MSR の DCTS ビット設定用の回路として適用した場合、結果的に DCTS ビットとして “1” が読み出されることとなる。

【0071】

そしてステップ (5) にて、二つの D-フリップフロップ回路素子 21, 22 の H レベル出力と L レベル出力とにより、排他的論理和回路素子 12 は排他的論理和演算結果としての H レベルの反転値である L レベルをステータス検出部クリア信号として出力する。ステップ (6) にてこれを受けた外部のステータス検出部 200 では、このステータス検出部クリア信号 S_c としての L レベルに応じて一旦 H レベルとして発生したステータス検出信号を L レベルに戻す。

【0072】

ステップ (7) にてレジスタ読出信号が H レベルに戻り、ステップ (8) ではこれを受けて D-フリップフロップ回路素子 22 は D-フリップフロップ回路素子 21 の出力である H レベルを取り込む。ステップ (9) にて、排他的論理和回路素子 12 が二つの D-フリップフロップ回路素子 21, 22 の両者の H レベルを受けて排他的論理和出力である L レベルの反転値の H レベルを出力する。その結果ステータス検出部クリア信号は H レベル、即ち非アクティブに戻る。

【0073】

ステップ (10) にてレジスタ読出信号が再度 L レベルとなると、ステップ (11) でこれに応じて D-フリップフロップ回路素子 21 は排他的論理和回路素子 11 の出力を取り込む。この場合上記の如く既にステータス検出信号は L レベルに戻っており、他方 D-フリップフロップ回路素子 22 は H レベルを出力しているため、その排他論理和演算値である H レベルを取り込むことになる。そしてステップ (12) では上記レジスタ読出信号の L レベルへの変化にて D-フリップフロップ回路素子 23 は上記 D-フリップフロップ回路素子 22 の出力である

Hレベルを取り込んでHレベルを出力する。その結果、排他的論理和回路素子13はこの出力とD-フリップフロップ回路素子21の出力であるHレベルとの排他的論理和演算値のLレベルを出力する。

【0074】

この出力はレジスタ読出信号がLの間にバスドライバ31を介してステータスビット“0”として読み出される(図11(g)参照)。尚上記同様、当該リードクリア式ステータスビット回路100を上記MSRのDC TSビット設定用の回路として適用した場合にはDC TSビットとして“0”が読み出されることとなる。

【0075】

同様に同じ図11中の右側の部分、即ち上記左側のステップ(10)以降では、各D-フリップフロップ回路素子21, 22, 23は各々Hレベル出力を有する。そしてステップ(1)(図11中、右側、以下同様)にてステータス検出部200が所定のステータスを検出し、その結果ステータス検出信号S_d=Hとなる。その結果、排他的論理和回路素子11は、ステータス検出信号のHレベルとD-フリップフロップ回路素子22のHレベル出力とを受けてLレベル出力を行なう。そして、ステップ(2)にてレジスタ読出信号S_r=Lとなると、ステップ(3)にて、このレジスタ読出信号のLレベルへの変化でD-フリップフロップ回路素子21は上記排他的論理和回路素子11のL出力を取り込む。

【0076】

ステップ(4)にて、上記レジスタ読出信号Lレベルへの変化により、D-フリップフロップ回路素子23は上記D-フリップフロップ回路素子22のH出力を取り込む。その結果D-フリップフロップ回路素子23はH出力を行う。従って排他的論理和回路素子13は2つのD-フリップフロップ回路素子21, 23の出力であるLレベルとHレベルによってHレベルを出力する。このHレベルがレジスタ読出信号S_rのLレベルの間にバスドライバ31を介して出力され、外部のCPU等によって“1”のステータスビットとして読み出される(図11(g)参照)。上記同様、当該リードクリア式ステータスビット回路100を上記MSRのDC TSビット設定用の回路として適用した場合、結果的にDC TSビ

ットとして“1”が読み出されることとなる。

【0077】

そしてステップ(5)にて、二つのD-フリップフロップ回路素子21, 22のLレベル出力とHレベル出力とにより、排他的論理和回路素子12は排他的論理和演算結果としてのHレベルの反転値であるLレベルをステータス検出部クリア信号として出力する。ステップ(6)にてこれを受けた外部のステータス検出部200では、このステータス検出部クリア信号ScとしてのLレベルに応じて一旦Hレベルとして発生したステータス検出信号をLレベルに戻す。

【0078】

ステップ(7)にてレジスタ読出信号がHレベルに戻り、ステップ(8)ではこれを受けてD-フリップフロップ回路素子22はD-フリップフロップ回路素子21の出力であるLレベルを取り込む。ステップ(9)にて、排他的論理和回路素子12が二つのD-フリップフロップ回路素子21, 22の両者のLレベルを受けて排他的論理和出力であるLレベルの反転値のHレベルを出力する。その結果ステータス検出部クリア信号はHレベル、即ち非アクティブに戻る。

【0079】

ステップ(10)にてレジスタ読出信号が再度Lレベルとなると、ステップ(11)でこれに応じてD-フリップフロップ回路素子21は排他的論理和回路素子11の出力を取り込む。この場合上記の如く既にステータス検出信号はLレベルに戻っており、他方D-フリップフロップ回路素子22はLレベルを出力しているため、その排他論理和演算値であるLレベルを取り込むことになる。そしてステップ(12)では上記レジスタ読出信号のLレベルへの変化にてD-フリップフロップ回路素子23は上記D-フリップフロップ回路素子22の出力であるLレベルを取り込んでLレベルを出力する。その結果、排他的論理和回路素子13はこの出力とD-フリップフロップ回路素子21の出力であるLレベルとの排他的論理和演算値のLレベルを出力する。

【0080】

この出力はレジスタ読出信号がLの間にバスドライバ31を介してステータスビット“0”として読み出される(図11(g)参照)。尚上記同様、当該リー

ドクリア式ステータスビット回路100を上記MSRのDCTSビット設定用の回路として適用した場合にはDCTSビットとして“0”が読み出されることとなる。

【0081】

このように本発明の一実施例によるリードクリア式ステータスビット回路100によればステータス検出信号S_dがアクティブとなった後にレジスタ読出信号S_rがアクティブとなると即ステータスビットクリア信号がアクティブとされる。その結果ステータス検出信号S_dのアクティブ状態は解除される。そしてこれを受けてステータスビットは次のレジスタ読出信号のアクティブの間に“0”に戻されるため、CPUによって一つのステータスが再度読み出されることは無い。

【0082】

即ち本発明では図11に示す如く、D-フリップフロップ回路素子21はステータス検出後反転し、その結果順次D-フリップフロップ回路素子22, 23へと反転動作が伝播して行く(同図(b), (c), (d)参照)。そしてその後は再度ステータス検出が発生するまでその状態が維持される。

【0083】

本発明では上記反転状態が複数のD-フリップフロップ回路素子21, 22, 23へと順次伝播される間、これらD-フリップフロップ回路素子21, 23相互間の一時的な状態の相違をもってステータス検出認識状態として検出し、その結果ステータスビットを“1”に設定し、同時にステータス検出部クリア信号をアクティブとして出力する。

【0084】

更に上記反転状態の伝播後に生ずるD-フリップフロップ回路素子21, 22相互間の状態の一致をステータス検出認識確認状態として検出し、その結果ステータスビットを解除して“0”にする。

【0085】

このように本発明によれば確実にステータス検出結果は認識されてステータスビット“1”として反映されると同時にクリア信号がフィードバックされ、これ

によって即座にステータス検出信号のアクティブ状態が解除される。更にステータス検出結果認識処理後は即座にステータスビットが解除されて“0”となる動作結果が得られる。

【0086】

次に、図12と共に上記本発明の実施例によるリードクリア式ステータスビット回路100においてレジスタ読出信号 S_r がLレベルの間にステータス検出信号 S_d がアクティブ状態、即ちHレベルとなった場合の動作について説明する。この場合、同図のステップ(1)にてレジスタ読出信号=Lとなるとステップ(2)にて当該レジスタ読出信号のLレベルへの変化によりD-フリップフロップ回路素子21は排他的論理和回路素子11の出力を取り込む。

【0087】

この場合ステータス検出信号はLレベルであってD-フリップフロップ回路素子22の出力もLレベルなため排他的論理和回路素子11の出力はLレベルであり、その結果D-フリップフロップ回路素子21の出力もLレベルを維持する。

【0088】

他方ステップ(3)では上記レジスタ読出信号のLレベルへの変化によりD-フリップフロップ回路素子23はD-フリップフロップ回路素子22のLレベル出力を取り込む。その結果、この時点ではD-フリップフロップ回路素子21, 23の双方の出力ともLレベルを維持しているため排他的論理和回路素子13の出力もLレベルを維持する。そのためレジスタ読出信号がLレベルの間にバスドライバ31を介して出力されるステータスビット信号はLレベルであり、その結果ステータスビット(即ちDC TSビット)として“0”が読み出される(図12(g)参照)。

【0089】

そしてステップ(4)にてレジスタ読出信号がLレベルの間にステータス検出部が所定のステータスを検出してステータス検出信号をHレベルとすると、その後ステップ(5)にて再度レジスタ読出信号がLレベルとなった時点で、ステップ(6)にてこのレジスタ読出信号のLレベルへの変化によりD-フリップフロップ回路素子21は排他的論理和回路素子11の出力を取り込む。

【0090】

この場合ステータス検出信号 S d は上記の如く H レベルであって D-フリップフロップ回路素子 22 の出力は L レベルであるため排他的論理和回路素子 11 の出力は H レベルとなり、これを取り込んで D-フリップフロップ回路素子 21 も H レベルを保持する。

【0091】

ステップ (7) では上記レジスタ読出信号の L レベルへの変化で D-フリップフロップ回路素子 23 は D-フリップフロップ回路素子 22 の L レベル出力を取り込み、その結果排他的論理和回路素子 13 は H レベルを出力し、これがバスドライバ 31 を介してステータスビット信号 S b として出力され、ステータスビット “1” (即ち DCTS ビット) “1” が読み出される。

【0092】

又、ステップ (7) では D-フリップフロップ回路素子 21, 22 の H レベルと L レベルとの出力により排他的論理和回路素子 12 はこれらの排他的論理和演算結果 H レベルの反転値 L レベルをステータス検出部クリア信号として出力する。その結果図 12 (a) のステータス検出信号 S d のアクティブ状態が解除されて L レベルとされる。

【0093】

ステップ (9) にてレジスタ読出信号が H レベルに戻るとステップ (10) にてこれに応じて D-フリップフロップ回路素子 22 は D-フリップフロップ回路素子 21 の H レベルを取り込む。そしてステップ (11) では D-フリップフロップ回路素子 21, 22 の両 L 出力によって排他的論理和回路素子 12 の反転出力は H に戻され、ステータス検出部クリア信号のアクティブ状態が解除される。

【0094】

そしてステップ (12) にて次のレジスタ読出信号 = L となり、ステップ (13) にてこのレジスタ読出信号の L レベルへの変化で D-フリップフロップ回路素子 21 は排他的論理和回路素子 11 の出力を取り込む。ここではステータス検出信号 S d は L レベルであって D-フリップフロップ回路素子 22 の出力は H レベルのため排他的論理和回路素子 11 の出力は H レベルであり、D-フリップフ

ロップ回路素子 21 はこれを取り込む。

【0095】

ステップ (14) では次のレジスタ読出信号の L レベルへの変化で D-フリップフロップ回路素子 23 は D-フリップフロップ回路素子 22 の H 出力を取り込む。その結果 D-フリップフロップ回路素子 21, 23 の両出力とも H レベルなため排他的論理和回路素子 13 は L レベルを出力し、その結果ステータスビット (即ち DCTS ビット) として “0” が読み取られる。

【0096】

このように本発明の実施例によれば、レジスタ読出信号 S_r が L レベルの間即ちアクティブの間に、ステータス検出信号 S_d がアクティブとなった場合、即ち H レベルとなった場合であっても次にレジスタ読出信号 S_r がアクティブとなった時点でこれを認識してステータスビットを “1” に設定し、その直後にステータス検出部スクリア信号 S_c をアクティブにしてステータス検出状態を解除することによってステータス検出信号 S_d のアクティブ状態を解除する。

【0097】

その結果、この場合であってもステータス検出の読み出し漏れが無く且つステータス検出の複数回の読み出しも無い。よって上記所定のステータスビットの要求仕様を満足する。

【0098】

図 13 は図 10 のリードクリア式ステータスビット回路を上記 U A R T における M S R の D C T S ビット設定回路に適用した場合の回路構成を示す。この場合、図 11 におけるステータス検出部は C T S 変化検出部 200 とされ、当該 C T S 変化検出部 200 は 2 つの D-フリップフロップ回路素子 41, 42 と O R 回路素子 51 とを含む。そして図 14 (a) に示される如くの C T S ラインのレベルの変化に応じて同図 (b) に示す如く C T S 変化検出信号 S_d を適宜アクティブ状態にする。

【0099】

即ち、図 14 中、ステップ (1) (左側) にて C T S ラインレベルが H レベルに変化すると図 13 中の D-フリップフロップ回路素子 41 が D 端子にて H レベル

を取り込み、その結果OR素子51の出力はHレベルとなるため図14のステップ(2)(左側)にてCTS変化検出信号S_dはHレベルとなる。そしてステップ(6)(左側)におけるCTS検出部クリア信号S_cがアクティブ、即ちLレベルとされることに応じてD-フリップフロップ回路素子41、42がリセットされてOR素子51の出力がLレベルに戻される。その結果ステップ(8)(左側)にてCTS変化検出信号S_dはLレベルに戻される。

【0100】

同様に図14のステップ(1)(右側)にてCTSラインレベルがLレベルに変化すると図13中のD-フリップフロップ回路素子42がD端子に印加されているHレベルを取り込み、その結果OR素子51の出力はHレベルとなるため図14のステップ(2)(右側)にてCTS変化検出信号S_dはHレベルとなる。そしてステップ(6)(右側)におけるCTS検出部クリア信号S_cがアクティブ、即ちLレベルとされることに応じてD-フリップフロップ回路素子41、42がリセットされてOR素子51の出力がLレベルに戻される。その結果ステップ(8)(右側)にてCTS変化検出信号S_dはLレベルに戻される。

【0101】

上記以外のCTS変化検出信号S_dの変化に応じた回路100内の図14、図15に示す動作については既に図11、図12にて説明した図10の回路による動作と同様のため、重複した説明を省略する。尚、この場合、上記ステータス検出信号S_dはCTS変化検出信号S_dと、レジスタ読出信号S_rはMSR読出信号S_rと、ステータス検出部クリア信号S_cはCTS変化検出部クリア信号S_cと、ステータスビット信号S_bはDCTSビット信号S_dとに夫々読み替えるものとする。

【0102】

又、図14はMSR読出信号S_rがアクティブ期間中以外のタイミングにてCTS変化(ステータス)が発生した場合の動作を表しており、図15はMSR読出信号がアクティブ期間中にCTS変化(ステータス)が発生した場合の動作を表している。

【0103】

このように本発明の実施例によれば回路動作のためのクロック信号が不要のため、省電力機能等によってクロック信号の発生が停止されたり、クロック信号の周波数が下げられたりする如く環境でも常に正常な動作が確保できる。又ステータス検出部クリア信号を設けたため、ステータス検出部のステータス検出方法がCTS信号のエッジの検出による方法であっても同信号のレベルの検出による方法であっても同様に適用可能である。

【0104】

更に所謂ゲートディレイを使わずに構成された回路構成であるため、ASIC等、様々なLSIのテクノロジーの種類を問わず広く適用可能である。

【0105】

本発明は以下の付記に記載の構成を含む。

【0106】

(付記1)

所定の第1の状態(H)と第2の状態(L)とのうちのいずれかを示す信号が入力され当該入力信号が示す状態を保持して出力する第1の状態保持手段(21)と、

前記第1の信号保持手段の出力が入力され当該入力信号が示す状態を保持して出力する第2の状態保持手段(22、23)と、

所定の状態検出信号と前記第2の状態保持手段(22、23)の出力とが入力され、当該入力信号の夫々が示す状態が互いに異なる際に前記所定の第1の状態(H)を示す信号を前記第1の状態保持手段(21)に対して出力し、互いに同じ場合には前記所定の第2の状態(L)を示す信号出力する第1の状態比較手段(11)と、

前記第1の状態保持手段(21)の出力と前記第2の状態保持手段(22、23)の出力とを比較し、当該入力信号の夫々が示す状態が互いに同じ際に前記所定の第1の状態(H)を示す信号を状態検出信号クリア信号として出力する第2の状態比較手段(12)と、

前記第1の状態保持手段(21)の出力と前記第2の状態保持手段(22、23)の出力とを比較し、当該入力信号の夫々が示す状態が互いに異なる際に前記

所定の第 1 の状態 (H) を示す信号を状態検出信号として出力し、同一の場合には前記第 2 の状態 (L) を示す状態非検出信号を出力する第 3 の状態比較手段 (1 3) とよりなる状態表示情報設定回路。

【0 1 0 7】

(付記 2)

所定の第 1 の状態 (H) と第 2 の状態 (L) とのうちのいずれかを示す信号が入力され当該入力信号が示す状態を保持して出力する第 1 の状態保持手段 (2 1) と、

前記第 1 の信号保持手段の出力が入力され当該入力信号が示す状態を保持して出力する第 2 の状態保持手段 (2 2) と、

前記第 2 の信号保持手段の出力が入力され当該入力信号が示す状態を保持して出力する第 3 の状態保持手段 (2 3) と、

所定の状態検出信号と前記第 2 の状態保持手段 (2 2) の出力とが入力され、当該入力信号の夫々が示す状態が互いに異なる際に前記所定の第 1 の状態 (H) を示す信号を前記第 1 の状態保持手段 (2 1) に対して出力し、互いに同じ場合には前記所定の第 2 の状態 (L) を示す信号を出力する第 1 の状態比較手段 (2 1) と、

前記第 1 の状態保持手段 (2 1) の出力と前記第 2 の状態保持手段 (2 1) の出力とを比較し、当該入力信号の夫々が示す状態が互いに同じ際に前記所定の第 1 の状態 (H) を示す信号を状態検出信号クリア信号として出力する第 2 の状態比較手段 (1 2) と、

前記第 1 の状態保持手段 (2 1) の出力と前記第 3 の状態保持手段の出力 (2 3) とを比較し、当該入力信号の夫々が示す状態が互いに異なる際に前記所定の第 1 の状態 (H) を示す信号を状態検出信号として出力し、同一の場合には前記第 2 の状態 (L) を示す状態非検出信号を出力する第 3 の状態比較手段 (1 3) とよりなる状態表示情報設定回路。

【0 1 0 8】

(付記 3)

入力された信号の状態を保持して当該保持した状態を示す信号を出力する第 1

の状態保持手段（21）と、

第1の状態保持手段（21）の出力信号が示す状態を保持して当該保持した状態を示す信号を出力する第2の状態保持手段（22、23）と、

所定の状態検出信号が入力された際に第2の状態保持手段が出力する信号が示す状態と異なる状態を示す信号を前記第1の状態保持手段へ出力する状態反転手段（11）と、

第1の状態保持手段（21）が出力する信号の示す状態と第2の状態保持手段（22、23）が出力する信号の示す状態とを比較し、双方が互い異なる際に状態検出信号を出力し、同一の場合状態非検出信号を出力する状態検出信号出力手段（13）と、

第1の状態保持手段（21）が出力する信号の示す状態と第2の状態保持手段（22、23）が出力する信号の示す状態とを比較し、双方が互い異なる際に状態検出信号クリア信号を出力する状態検出信号クリア手段（12）とよりなる状態表示情報設定回路。

【0109】

（付記4）

入力された信号の状態を保持して当該保持した状態を示す信号を出力する第1の状態保持手段（21）と、

第1の状態保持手段の出力信号が示す状態を保持して当該保持した状態を示す信号を出力する第2の状態保持手段（22）と、

第2の状態保持手段（21）の出力信号が示す状態を保持して当該保持した状態を示す信号を出力する第3の状態保持手段（23）と、

所定の状態検出信号が入力された際に第2の状態保持手段が出力する信号が示す状態と異なる状態を示す信号を前記第1の状態保持手段へ出力する状態反転手段（11）と、

第1の状態保持手段が出力する信号の示す状態と第3の状態保持手段が出力する信号の示す状態とを比較し、双方が互い異なる際に状態検出信号を出力し、同一の場合状態非検出信号を出力する状態検出信号出力手段（13）と、

第1の状態保持手段が出力する信号の示す状態と第2の状態保持手段が出力す

る信号の示す状態とを比較し、双方が互い異なる際に状態検出信号クリア信号を出力する状態検出信号クリア手段（12）とよりなる状態表示情報設定回路。

【0110】

（付記5）

レジスタ読出信号がLレベルの際に入力信号を取り込む第1のフリップフロップ回路と、

レジスタ読出信号がHレベルの際に第1のフリップフロップ回路の出力信号を取り込む第2のフリップフロップ回路と、

レジスタ読出信号がLレベルの際に第2のフリップフロップ回路の出力信号を取り込む第3のフリップフロップ回路と、

第2のフリップフロップ回路の出力と所定の状態検出信号との排他論理和演算を行なって演算結果を出力する第1の繁多論理和回路と、

第1のフリップフロップ回路の出力と第2のフリップフロップ回路の出力との排他論理和演算を行なって演算結果を状態検出信号クリア信号として出力する第2の排他論理和回路と、

第1のフリップフロップ回路の出力と第3のフリップフロップ回路の出力との排他論理和演算を行なって演算結果を状態ビット信号として出力する第3の排他論理和回路とよりなる状態表示情報設定回路。

【0111】

（付記6）

所定のステータスの検出毎に反転する出力を発生する反転出力部（11）と、その出力によってその状態が順次反転する状態反転遷移部（21，22，23）と、その反転遷移の伝搬の過程を検出して所定のステータスビットの設定を行なうステータスビット設定部（13）とよりなるステータスビット設定回路。

【0112】

（付記7）

更に前記状態反転遷移部の反転遷移の伝搬の過程を検出してステータス検出状態を解除する信号を発生するステータス検出解除部（12）とよりなる付記6に記載のステータスビット設定回路。

【0113】

(付記8)

更に上記ステータスビット設定部は上記反転遷移の伝搬の完了を検出して所定のステータスビットの設定解除を行なう構成の付記6又は7に記載のステータスビット設定回路。

【0114】

(付記9)

前記状態反転遷移部(21, 22, 23)は各々が所定の読出信号の立ち上がり及び立ち下がりエッジにて順次交互にその状態を反転する構成よりなる付記6乃至8の内の何れかに記載のステータスビット設定回路。

【0115】

(付記10)

更に所定の読出信号がアクティブの間にのみ所定のステータスビットの外部からの読出しを可能にするバスドライバ部(31)よりなる付記6乃至8の内の何れかに記載のステータスビット設定回路。

【0116】**【発明の効果】**

このように本発明によればフリップフロップ回路素子等の状態保持手段の双方向の反転動作の各々を有効利用し、その反転動作の伝播の過渡状態を検出して状態表示情報の設定を行なうと共に上記過渡状態から定常状態への移行を検出して状態検出信号のクリアを行なう構成としたため、確実な状態表示情報の設定と当該設定後の迅速な状態検出信号クリアのとを同時に可能とした。その結果比較的簡易な構成にて高い動作信頼性を達成し、更にASICを含めた様々なLSI技術に広く適応可能であり、又VHDLやVerilogHDL等のハードウェア設計記述言語による回路設計手法の導入に対してもなんら障害を含まない回路構成を提供する。

【図面の簡単な説明】**【図1】**

従来の一例のMSRのDCTSビット回路の構成を示す図である。

【図 2】

図 1 の回路構成の動作を示すタイムチャートである。

【図 3】

従来の他の例のMSRのDCTSビット回路の構成を示す図である。

【図 4】

図 3 の回路構成の動作を示すタイムチャートである。

【図 5】

図 1 の回路構成の設計条件を変えた場合の動作を示すタイムチャートである。

【図 6】

図 3 の回路構成の設計条件を変えた場合の動作を示すタイムチャートである。

【図 7】

図 1、図 3 の回路構成中のワンショットパルス回路が発生するパルス幅を短縮するための構成例（その 1）を示す図である。

【図 8】

図 1、図 3 の回路構成中のワンショットパルス回路が発生するパルス幅を短縮するための構成例（その 2）を示す図である。

【図 9】

図 3 の回路構成をエッジ検出による信号変化検出方式を適用するように変更した回路構成を示す図である。

【図 10】

本発明の一実施例によるリードクリア式ステータスビット回路の構成を示す図である。

【図 11】

図 10 の回路構成の動作例（その 1）を示すタイムチャートである。

【図 12】

図 10 の回路構成の動作例（その 2）を示すタイムチャートである。

【図 13】

図 10 に示す回路構成をMSRのDCTSビット設定回路に適用した場合の回路構成例を示す図である。

【図 1 4】

図 1 3 の回路構成の動作例（その 1）を示すタイムチャートである。

【図 1 5】

図 1 3 の回路構成の動作例（その 2）を示すタイムチャートである。

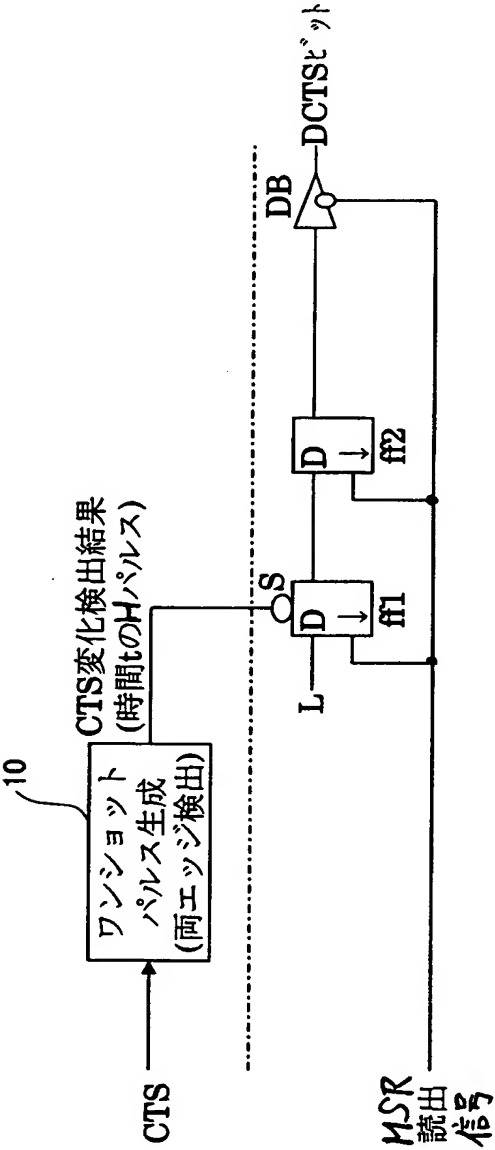
【符号の説明】

- 1 1, 1 2, 1 3 排他的論理和演算素子(状態反転手段、状態比較手段)
- 2 1, 2 2, 2 3 D-フリップフロップ回路素子(状態保持手段)
- 3 1 バスドライバ
- 4 1, 4 2 D-フリップフロップ回路素子
- 5 1 OR演算素子
- 1 0 0 リードクリア式ステータスビット回路 (MSRのDCTSビット設定回路)

【書類名】 図面

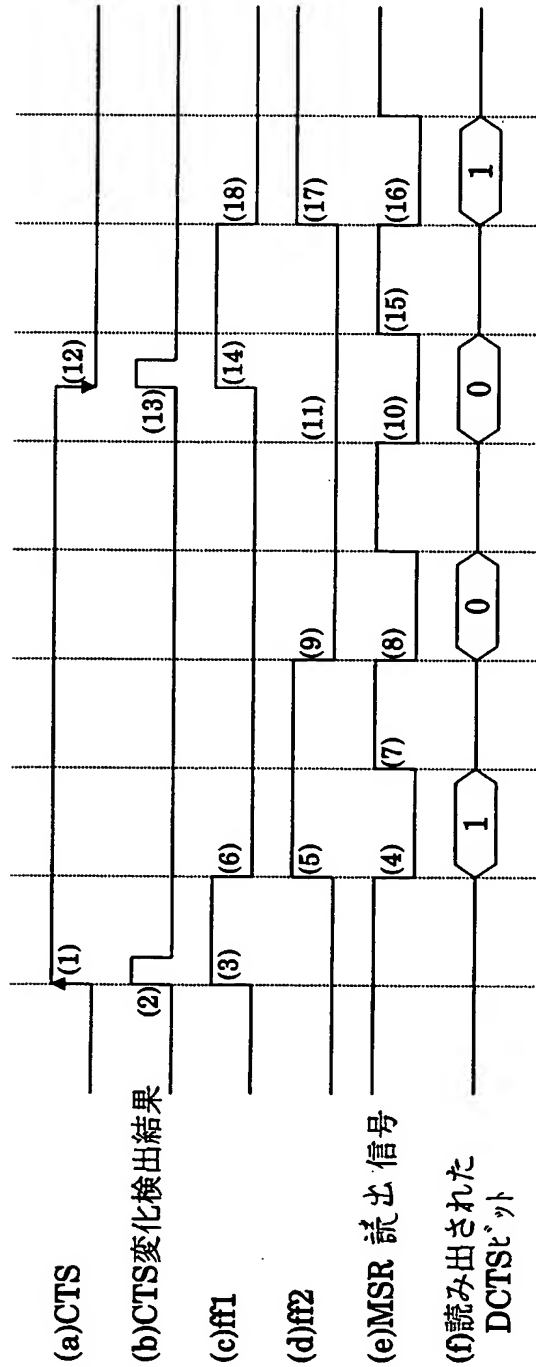
【図 1】

従来の一例のMSRのDCTSビット回路の構成を示す図



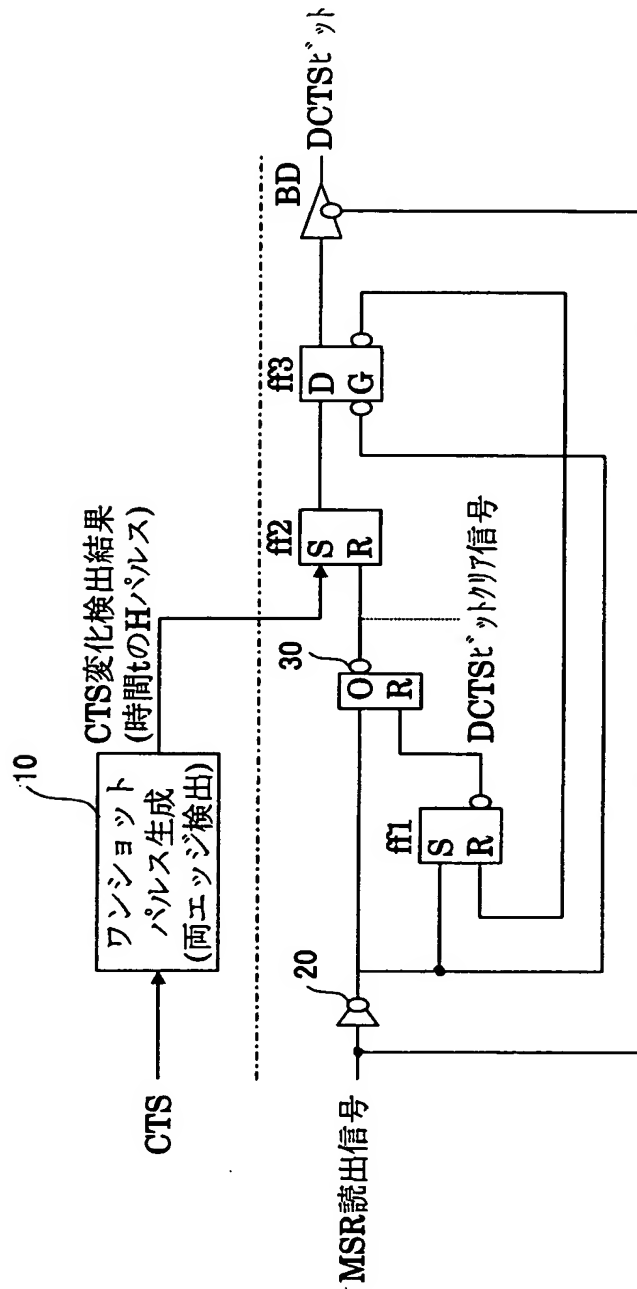
【図 2】

図 1 の回路構成の動作を示すタイムチャート



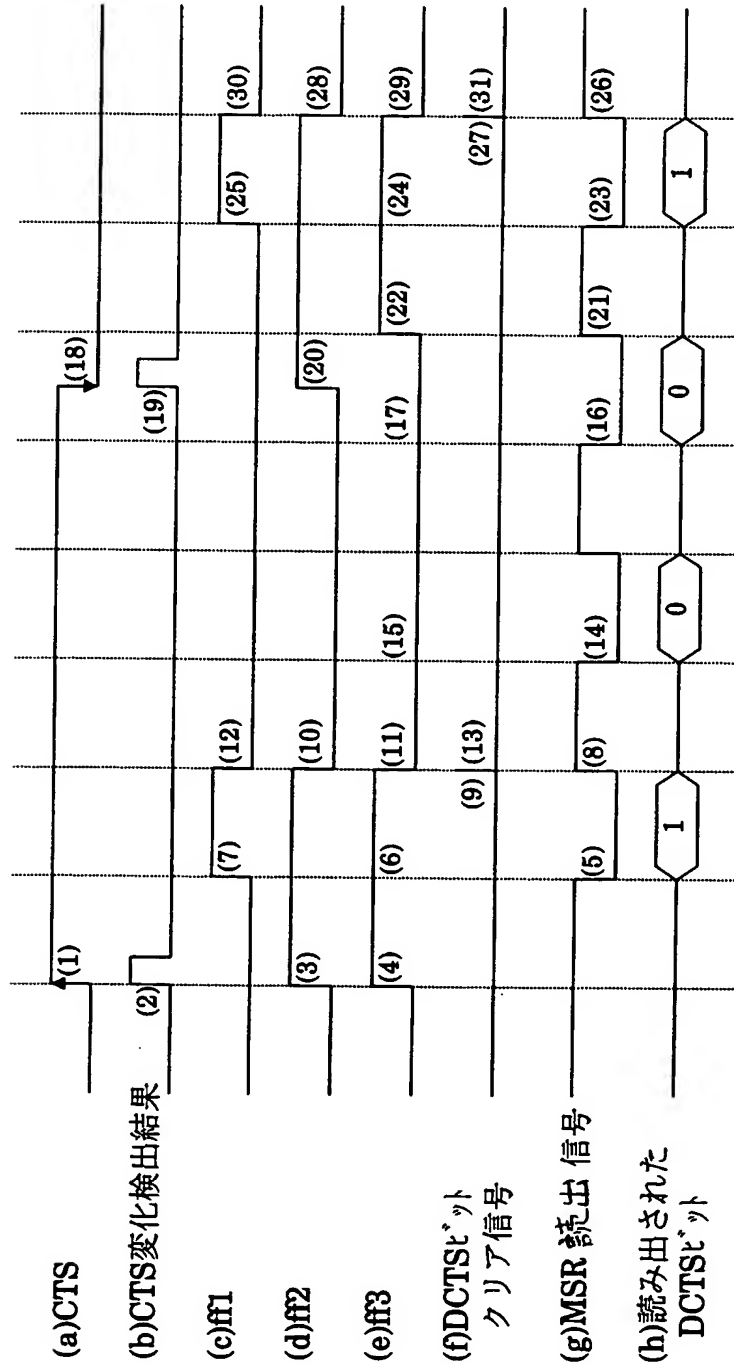
【図 3】

従来の他の例のMSRのDCTSビット回路の構成を示す図



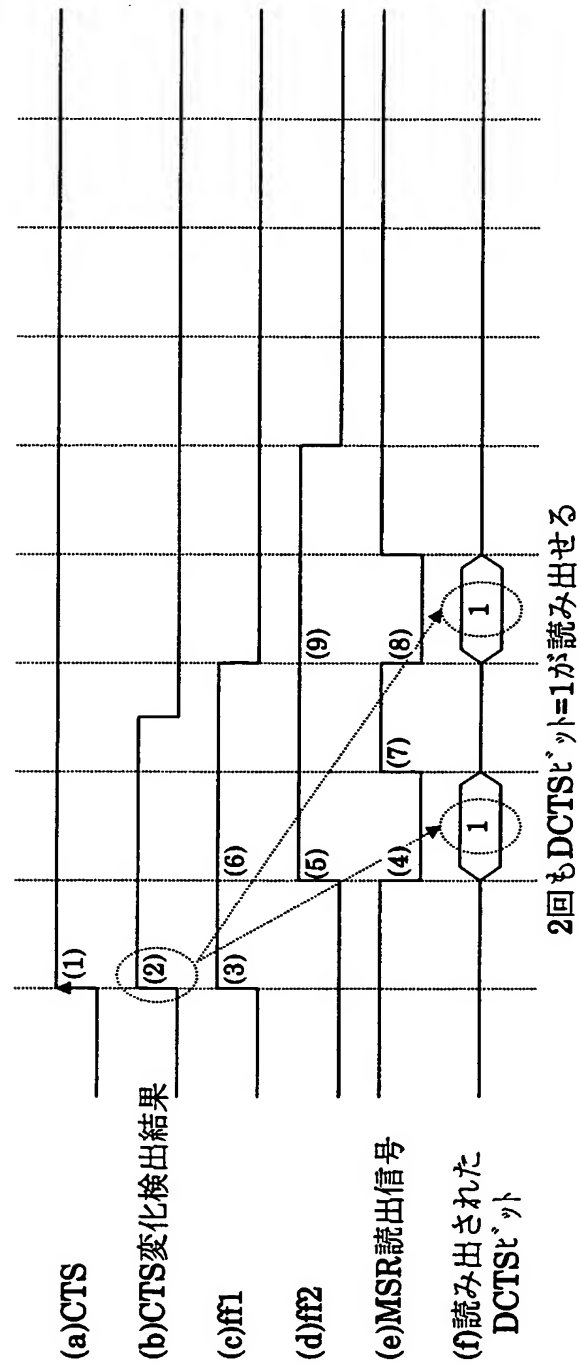
【図 4】

図3の回路構成の動作を示すタイムチャート



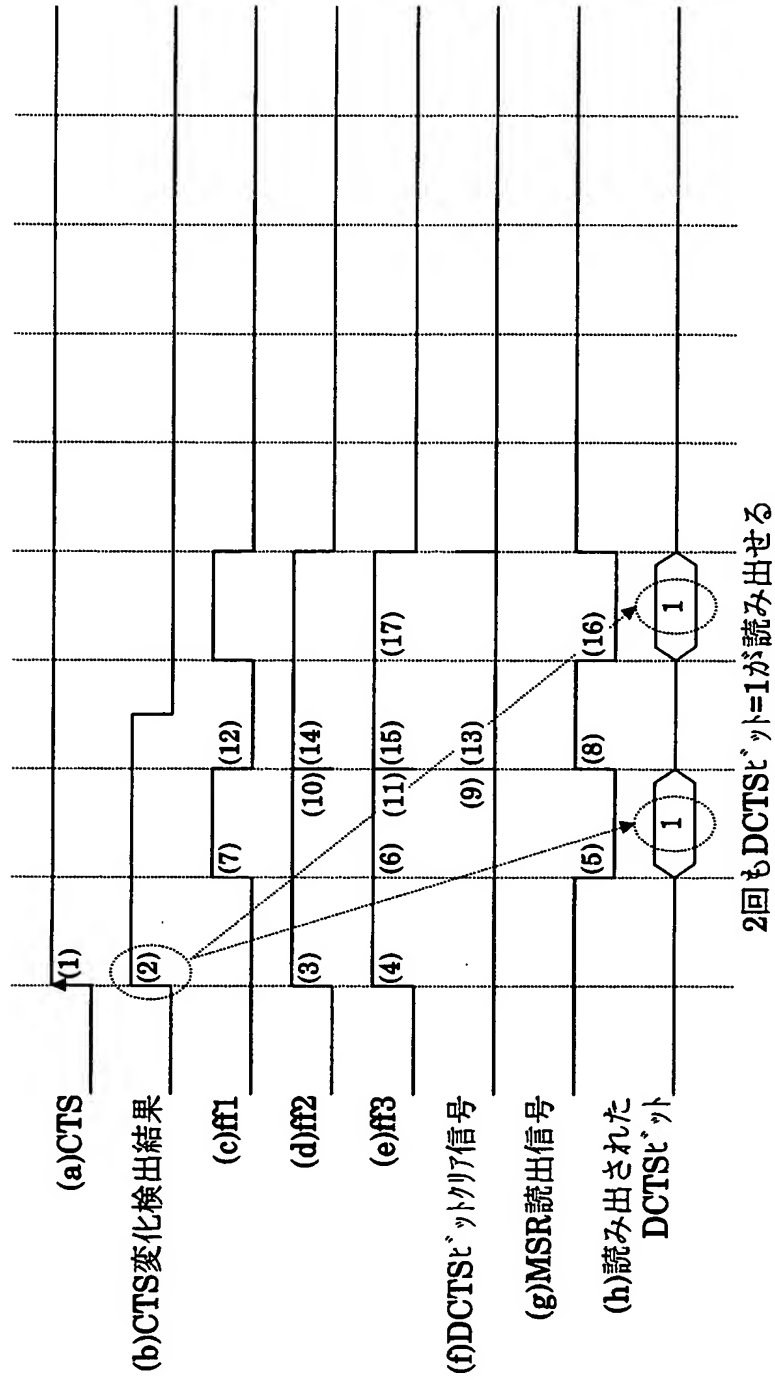
【図 5】

図1の回路構成の設計条件を変えた場合の動作を示すタイムチャート



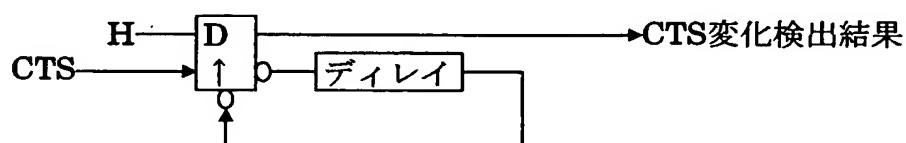
【図 6】

図3の回路構成の設計条件を変えた場合の動作を示すタイムチャート



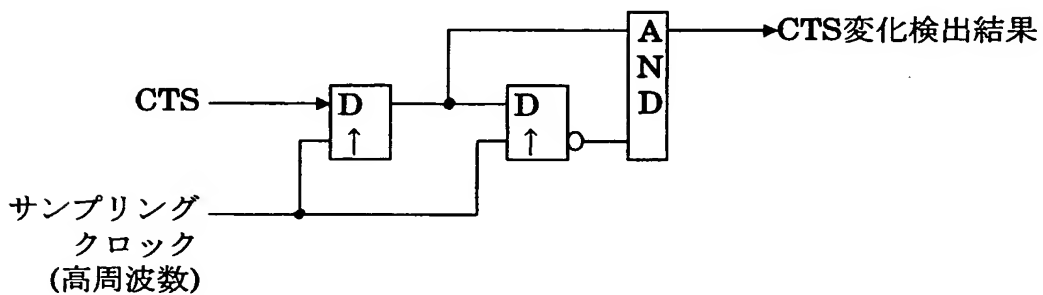
【図 7】

図1、図3の回路構成中のワンショットパルス回路が発生するパルス幅を短縮するための構成例(その1)を示す図



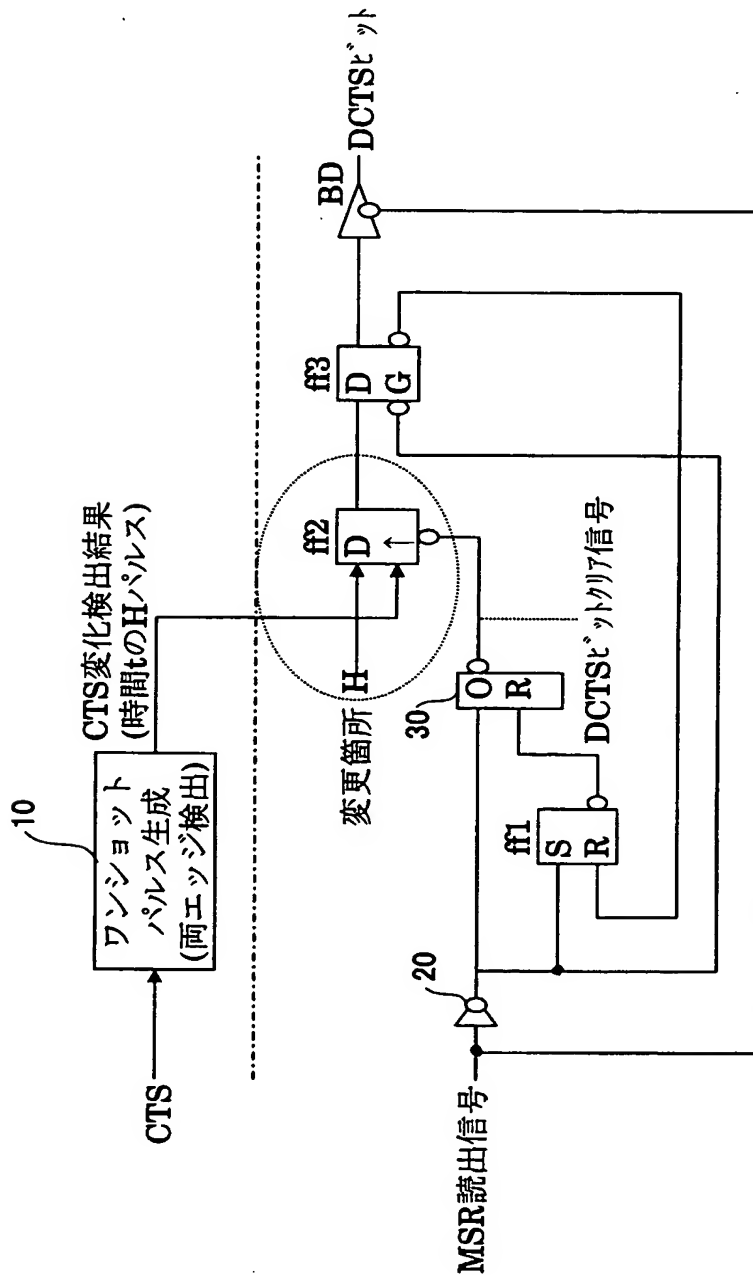
【図 8】

図1、図3の回路構成中のワンショットパルス回路が発生するパルス幅を短縮するための構成例(その2)を示す図



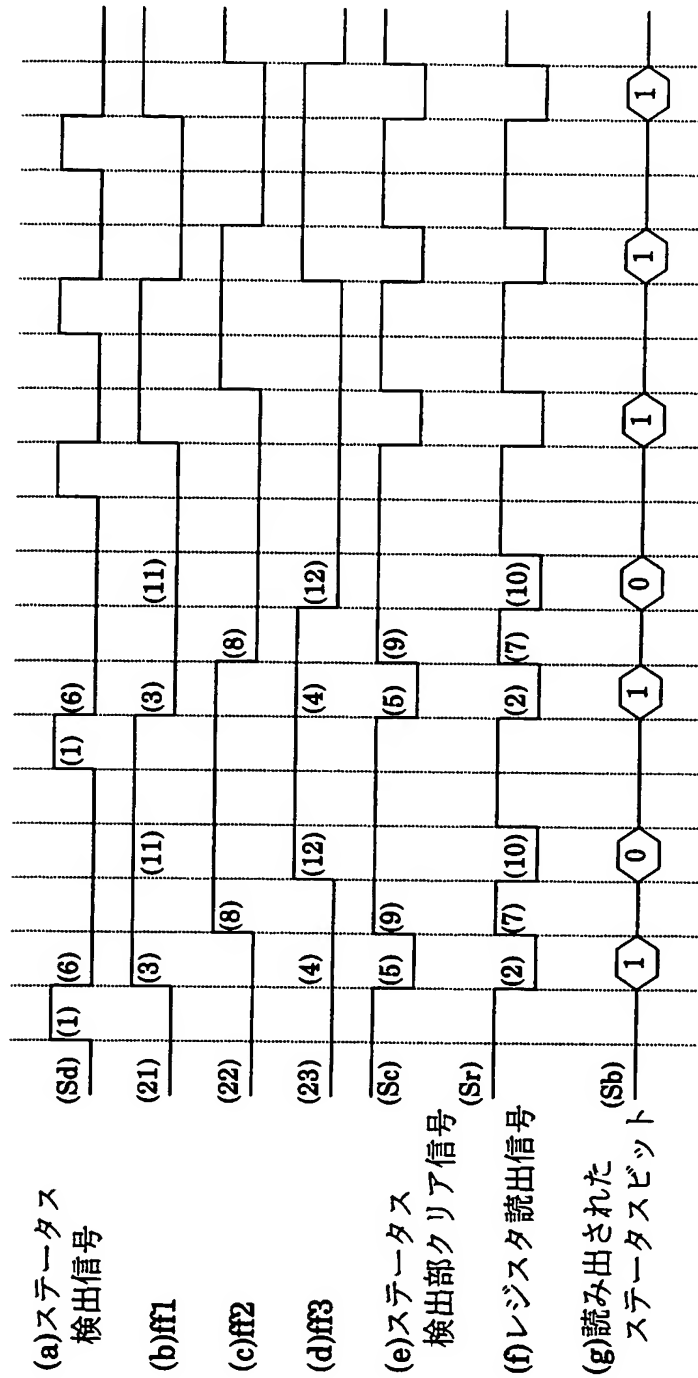
【図 9】

図3の回路構成をエッジ検出による信号変化検出方式を適用するように変更した回路構成を示す図



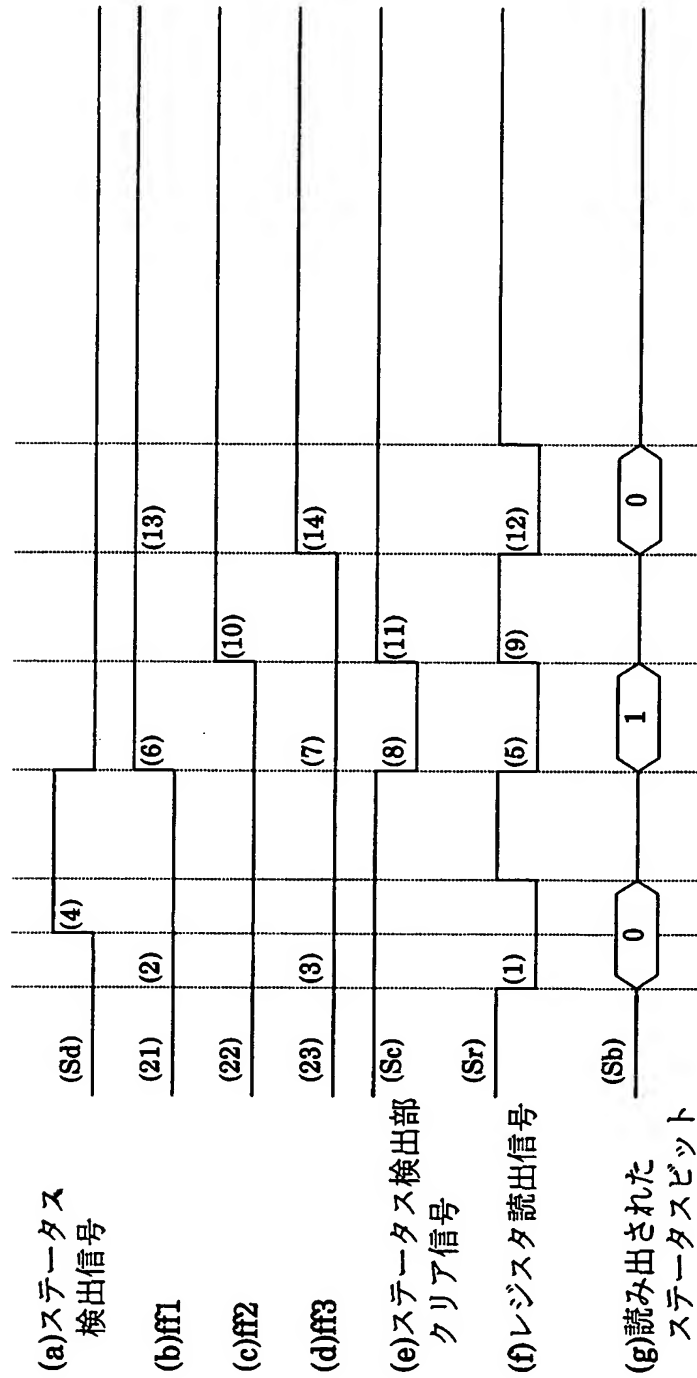
【図 11】

図10の回路構成の動作例(その1)を示すタイムチャート



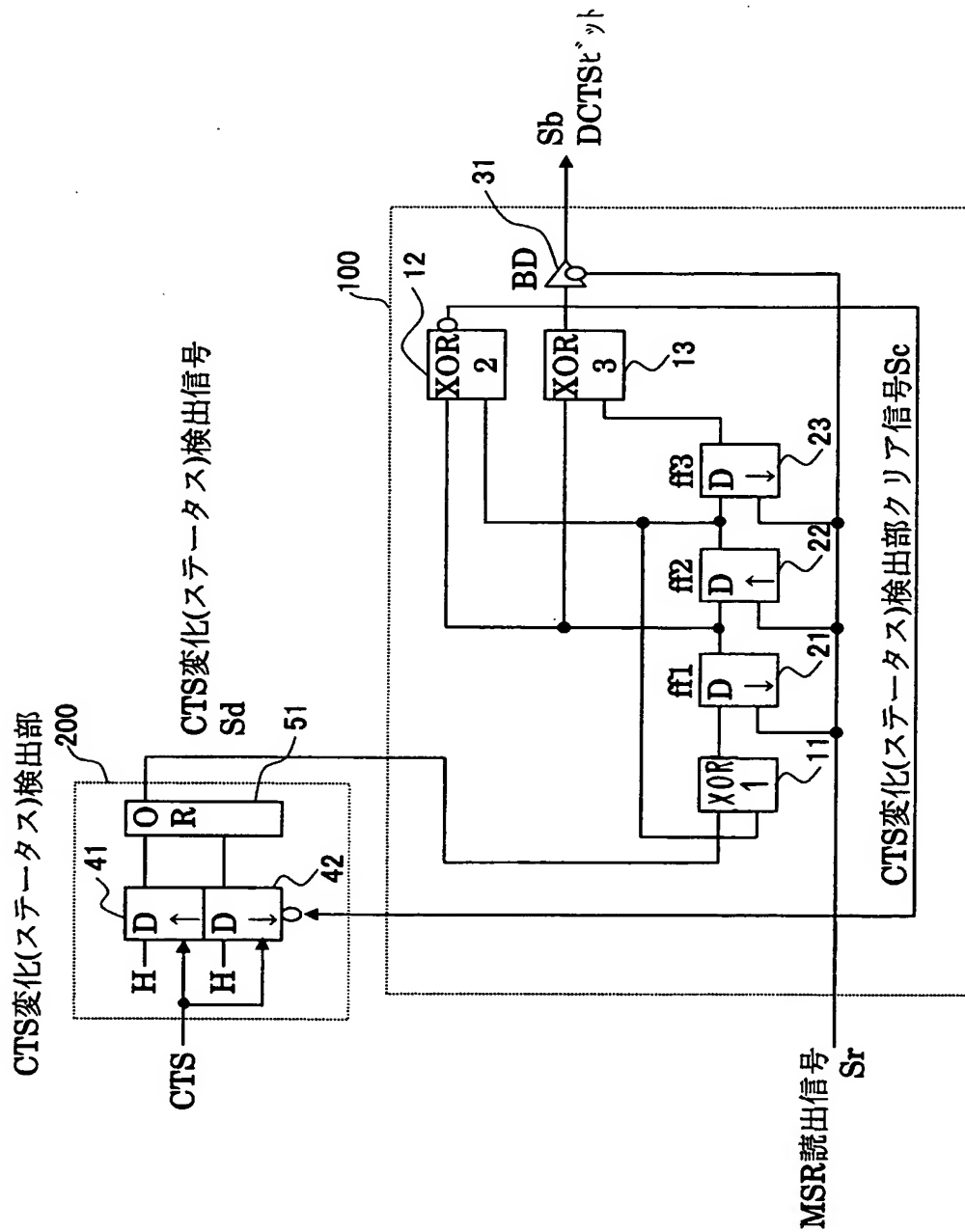
【図 12】

図10の回路構成の動作例(その2)を示すタイムチャート



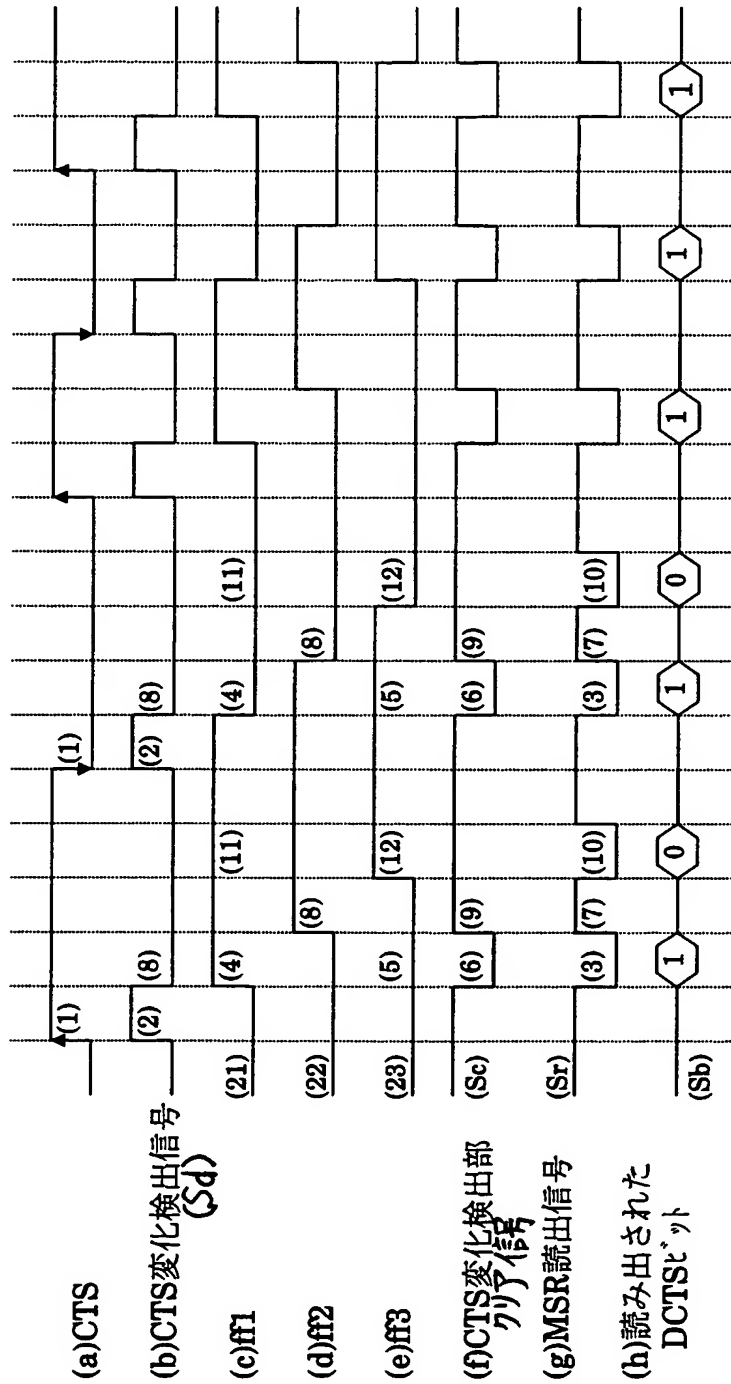
【図 13】

図10に示す回路構成をMSRのDCTSビット設定回路に適用した場合の回路構成例を示す図



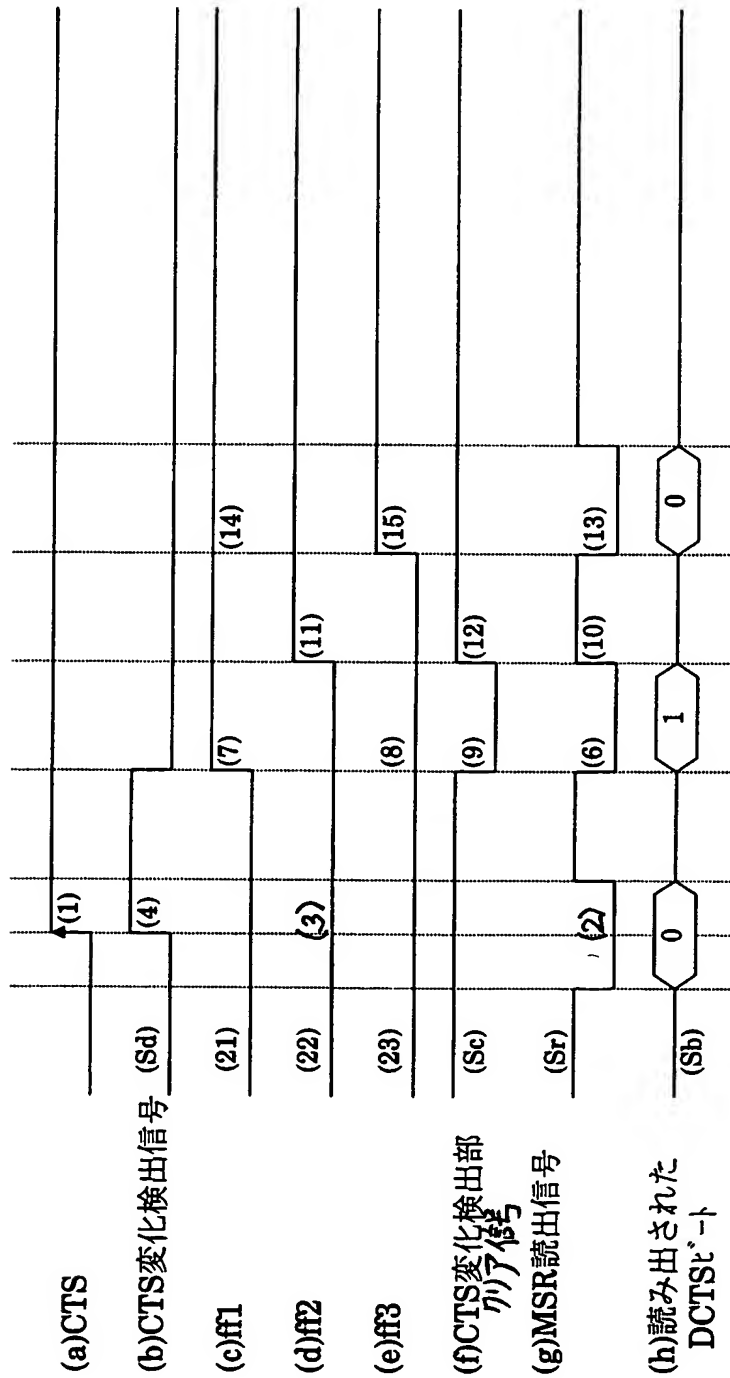
【図 14】

図13の回路構成の動作例(その1)を示すタイムチャート



【図 15】

図13の回路構成の動作例(その2)を示すタイムチャート



【書類名】 要約書

【要約】

【課題】 MSRのDCTSビット設定回路等においてASIC等様々なLSI仕様に対して容易に適用可能な有用な回路構成を提供することを目的とする。

【解決手段】 ステータスの検出毎に反転する出力を発生する排他的論理和回路11と、その出力によってその状態が順次反転するフリップフロップ回路21, 22, 23とよりなり、その反転状態の伝搬の過程を検出してステータスビットの設定を行なう構成である。

【選択図】 図10

特願 2 0 0 3 - 0 8 3 4 7 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1 . 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社